

CLIPPEDIMAGE= JP406005583A

PAT-NO: JP406005583A

DOCUMENT-IDENTIFIER: JP 06005583 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: January 14, 1994

INVENTOR-INFORMATION:

NAME

FUKADA, TAKESHI

YOSHINO, YOSHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NIPPONDENSO CO LTD

N/A

APPL-NO: JP04158331

APPL-DATE: June 17, 1992

INT-CL_(IPC): H01L021/306; H01L021/265 ; H01L021/78

ABSTRACT:

PURPOSE: To provide a manufacturing method of a semiconductor device which is capable of satisfactory electrochemical etching without using a high concentration diffusion layer which serves as an electrode for special

electrochemical etching.

CONSTITUTION: An n type epitaxial layer 36 is formed on a p type single crystal silicon wafer 35 and a p<SP>+</SP> diffusion layer 37, which serves as a piezoresistance layer, is formed in a specified area of the epitaxial layer inside a chip while a p<SP>+</SP> diffusion layer 38 is formed in a scribing line on the epitaxial layer 36 as well. With the p<SP>+</SP> diffusion layer 38 as an electrode, a specified area of the single crystal silicon wafer 35 is removed by electrochemical etching where a specified area of the epitaxial layer 36 is adapted to remain so that a thin wall section may be formed. Furthermore, the wafer on the scribing line is cut so as to produce chips.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-5583

(43)公開日 平成6年(1994)1月14日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/306	L	9278-4M		
	C	9278-4M		
21/265				
21/78	L	8617-4M	H 0 1 L 21/ 265	W
		8617-4M	審査請求 未請求 請求項の数3(全 9 頁)	

(21)出願番号 特願平4-158331

(22)出願日 平成4年(1992)6月17日

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72)発明者 深田 毅

愛知県刈谷市昭和町1丁目1番地 日本電装 株式会社内

(72)発明者 吉野 好

愛知県刈谷市昭和町1丁目1番地 日本電装 株式会社内

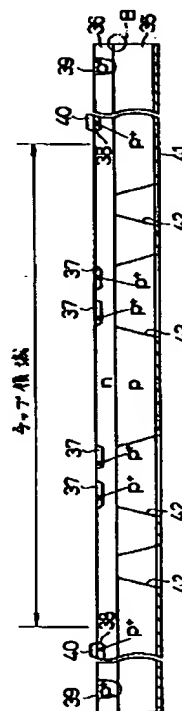
(74)代理人 弁理士 恩田 博宣

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 特別な電気化学エッチング用電極となる高濃度拡散層を用いることなく良好な電気化学エッチングを行うことができる半導体装置の製造方法を提供することにある。

【構成】 p型の単結晶シリコンウェハ35上に、n型のエピタキシャル層36を形成し、チップ内でのエピタキシャル層36の所定領域にピエゾ抵抗層となるp⁺拡散層37を形成するとともに、エピタキシャル層36におけるスクライブライン上にp⁺拡散層38を形成する。そして、スクライブライン上のp⁺拡散層38を電極として、電気化学エッチングにより単結晶シリコンウェハ35の所定領域を除去し、エピタキシャル層36の所定領域を残しセンサの薄肉部を形成する。さらに、スクライブライン上を裁断してチップ化する。



【特許請求の範囲】

【請求項1】 チップ内に第1導電型の高濃度拡散層を有する半導体装置を製造するための方法であって、第1導電型の単結晶半導体基板上に、第2導電型のエピタキシャル層を形成する第1工程と、

チップ内での前記エピタキシャル層の所定領域に前記第1導電型の高濃度拡散層を形成するとともに、エピタキシャル層におけるスクライプライン上に第1導電型の高濃度拡散層を形成する第2工程と、

前記スクライプライン上の高濃度拡散層を電極として、電気化学エッチングにより前記単結晶半導体基板の所定領域を除去し、前記エピタキシャル層の所定領域を残す第3工程と、

スクライプライン上を裁断してチップ化する第4工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項2】 前記第2工程は、エピタキシャル層におけるチップ形成領域の外周部に、単結晶半導体基板に至る第1導電型のリーク防止用高濃度拡散層の形成を含むものである請求項1に記載の半導体装置の製造方法。

【請求項3】 チップ内に高濃度拡散層を有し、かつ、同高濃度拡散層に対する配線のための金属配線を有する半導体装置を製造するための方法であって、

第1導電型の単結晶半導体基板上に、第2導電型のエピタキシャル層を形成する第1工程と、

チップ内での前記エピタキシャル層の所定領域に前記高濃度拡散層を形成する第2工程と、

前記チップ内での高濃度拡散層に対する金属配線を配置するとともに、前記エピタキシャル層におけるスクライプライン上にエッチング用金属電極を直接接合してショットキー接合とする第3工程と、

前記エッチング用金属電極によるショットキー接合の順方向電圧を印加しつつ電気化学エッチングにより前記単結晶半導体基板の所定領域を除去し、前記エピタキシャル層の所定領域を残す第4工程と、

スクライプライン上を裁断してチップ化する第5工程とを備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体加速度センサ等の半導体装置の製造方法に関するものである。

【0002】

【従来の技術】従来、ダイアフラム型の圧力センサや加速度センサの薄肉部（ダイアフラム部）を薄くかつ高精度にエッチング加工することを目的に、電気化学エッチングの研究がなされている。その一例として、特開昭61-30039号公報が挙げられる。これは、電気化学エッチング時にウェハ面内に均一な電圧を供給するために、p型単結晶シリコン基板上に形成したn型エピタキシャル層に対しn⁺型拡散層を形成して電極とし、電気化学エッチングによりシリコン基板を除去しエピタキシ

シャル層を残してダイアフラムを形成するものである。

【0003】

【発明が解決しようとする課題】ところが、センサ素子の製造工程において同素子とは無関係な電気化学エッチング用電極となる高濃度拡散層を形成する必要があった。

【0004】この発明の目的は、特別な電気化学エッチング用電極となる高濃度拡散層を用いることなく良好な電気化学エッチングを行うことができる半導体装置の製造方法を提供することにある。

【0005】

【課題を解決するための手段】第1の発明は、チップ内に第1導電型の高濃度拡散層を有する半導体装置を製造するための方法であって、第1導電型の単結晶半導体基板上に、第2導電型のエピタキシャル層を形成する第1工程と、チップ内での前記エピタキシャル層の所定領域に前記第1導電型の高濃度拡散層を形成するとともに、エピタキシャル層におけるスクライプライン上に第1導電型の高濃度拡散層を形成する第2工程と、前記スクライプライン上の高濃度拡散層を電極として、電気化学エッチングにより前記単結晶半導体基板の所定領域を除去し、前記エピタキシャル層の所定領域を残す第3工程と、スクライプライン上を裁断してチップ化する第4工程とを備えたことを特徴とする半導体装置の製造方法をその要旨とする。

【0006】又、前記第2工程は、エピタキシャル層におけるチップ形成領域の外周部に、単結晶半導体基板に至る第1導電型のリーク防止用高濃度拡散層の形成を含むものとするのが望ましい。

【0007】第2の発明は、チップ内に高濃度拡散層を有し、かつ、同高濃度拡散層に対する配線のための金属配線を有する半導体装置を製造するための方法であって、第1導電型の単結晶半導体基板上に、第2導電型のエピタキシャル層を形成する第1工程と、チップ内での前記エピタキシャル層の所定領域に前記高濃度拡散層を形成する第2工程と、前記チップ内での高濃度拡散層に対する金属配線を配置するとともに、前記エピタキシャル層におけるスクライプライン上にエッチング用金属電極を直接接合してショットキー接合とする第3工程と、前記エッチング用金属電極によるショットキー接合の順方向電圧を印加しつつ電気化学エッチングにより前記単結晶半導体基板の所定領域を除去し、前記エピタキシャル層の所定領域を残す第4工程と、スクライプライン上を裁断してチップ化する第5工程とを備えた半導体装置の製造方法をその要旨とする。

【0008】

【作用】第1の発明において、第1工程により第1導電型の単結晶半導体基板上に、第2導電型のエピタキシャル層が形成され、第2工程によりチップ内でのエピタキシャル層の所定領域に第1導電型の高濃度拡散層が形成

されるとともに、エピタキシャル層におけるスクライブライン上に第1導電型の高濃度拡散層が形成される。このとき、チップ内での第1導電型の高濃度拡散層とスクライブライン上の第1導電型の高濃度拡散層とが同時に形成できる。そして、第3工程によりスクライブライン上の高濃度拡散層を電極として、電気化学エッチングにより単結晶半導体基板の所定領域が除去されて、エピタキシャル層の所定領域が残される。さらに、第4工程によりスクライブライン上が裁断されてチップ化される。

【0009】又、前記第2工程において、エピタキシャル層におけるチップ形成領域の外周部に、単結晶半導体基板に至る第1導電型のリーク防止用高濃度拡散層を形成することにより、電気化学エッチング時のリークが防止される。

【0010】第2の発明は、第1工程により第1導電型の単結晶半導体基板上に、第2導電型のエピタキシャル層が形成され、第2工程によりチップ内でのエピタキシャル層の所定領域に高濃度拡散層が形成される。そして、第3工程によりチップ内での高濃度拡散層に対する金属配線が配置されるとともにエピタキシャル層におけるスクライブライン上にエッチング用金属電極が直接接合されてショットキー接合となる。このとき、金属配線の配置とエッチング用金属電極の配置とを同時に行うことができる。さらに、第4工程によりエッチング用金属電極によるショットキー接合の順方向電圧を印加しつつ電気化学エッチングにより単結晶半導体基板の所定領域が除去され、エピタキシャル層の所定領域が残され、第5工程によりスクライブライン上が裁断されてチップ化される。

【0011】

【実施例】(第1実施例)以下、この発明を具体化した一実施例を図面に従って説明する。

【0012】図1には半導体加速度センサの斜視図を示す。又、図2には半導体加速度センサの平面図を示し、図3には図2のA-A断面を示す。本センサは自動車のABSシステムに用いられるものである。

【0013】図1に示すように、パイレックスガラスよりなる四角板状の台座1の上には四角板状のシリコンチップ2が配置されている。図2に示すように、シリコンチップ2はその裏面が台座1と接合する四角棒状の第1支持部3を有し、同第1支持部3はシリコンチップ2の4辺を用いて形成されている。シリコンチップ2における第1支持部3の内方には上下に貫通する4つの貫通孔4a、4b、4c、4dが形成され、4つの薄肉の可動部5、6、7、8にて厚肉の四角形状の重り部9が連結された構造となっている。さらに、シリコンチップ2の第1支持部3の内方において、上下に貫通する貫通孔10が貫通孔4a、4b、4c、4dを囲むように形成されている。そして、同貫通孔10にて厚肉のコ字状の第2支持部11と厚肉の連結部12とが区画されている。

【0014】つまり、台座1と接合する厚肉の第1支持部3に対し第2支持部11が延設され、第2支持部11から薄肉の可動部5～8が延設された構造となっている。又、貫通孔10により第1支持部3と第2支持部11とは連結部12にて連結された構造となっている。さらに、第2支持部11と重り部9とは前述したように可動部5～8にて連結されている。この可動部5～8の厚さは5μm程度となっており、2つずつのピエゾ抵抗層13a、13b、14a、14b、15a、15b、16a、16bが形成されている。又、図3に示すように台座1の上面中央部には凹部17が形成され、加速度が加わり重り部9が変位したときに接触しないようになっている。

【0015】又、図4にはシリコンチップ2の表面でのアルミによる配線パターンを示す。本実施例では、アース用の配線18と、電源電圧印加用の配線19と、加速度に応じた電位差を取り出すための出力用の配線20、21とが形成されている。又、これら配線に対しても1組の4つの配線が用意されている。つまり、アース用の配線22と、電源電圧印加用の配線23と、加速度に応じた電位差を取り出すための出力用の配線24、25とが形成されている。電源電圧印加用の配線19の途中にはシリコンチップ2の不純物拡散層26が介在され、その不純物拡散層26の上をシリコン酸化膜を介してアース用の配線18が交差状態で配置されている。同様に、電源電圧印加用の配線23は不純物拡散層27を介して電源電圧印加用の配線19と接続され、アース用の配線22は不純物拡散層28を介してアース用の配線18と接続され、さらに、出力用の配線24は不純物拡散層29を介して出力用の配線20と接続されている。又、出力用の配線21と25とは抵抗調整のための不純物拡散層30を介して接続されている。本実施例では、配線18～21を用いた結線がなされる。

【0016】そして、図5に示すように各ピエゾ抵抗層13a、13b、14a、14b、15a、15b、16a、16bにてホイートストーンブリッジ回路が形成されるように電気接続されている。ここで、端子31はアース用端子であり、端子32は電源電圧印加用端子であり、端子33及び34は加速度に応じた電位差を取り出すための出力端子である。

【0017】次に、センサの製造方法を説明する。図6～図11にはセンサの製造工程を示す。まず、図6に示すように、p型の単結晶シリコンウェハ35を用意し、図7に示すようにその表面にn型のエピタキシャル層36を形成する。そして、図8に示すように、エピタキシャル層36におけるピエゾ抵抗層形成領域にp⁺ 拡散層37を、スクライブライン上にp⁺ 拡散層38を、さらに、エピタキシャル層36におけるチップ形成領域の外周部に単結晶シリコン基板35に至るp⁺ 拡散層39をそれぞれ同時に酸素雰囲気下での熱処理により形成す

る。

【0018】その後、図9に示すように、 p^+ 拡散層38の上にアルミ40を配置するとともにアルミ40の一部からパッドを延設する。引き続き、単結晶シリコンウェハ35の裏面にプラズマ窒化膜(P-SiN)41を形成するとともにフォトリソエッチングにより所定のパターンニングを行う。そして、アルミ40のパッドに電流を供給して p^+ 拡散層38を電極として電気化学エッチングを行う。つまり、 p^+ 拡散層38に正の電圧を印加すると、 p^+ 拡散層38とエピタキシャル層36との間に形成されるダイオード構造は順方向となる。このため、 p^+ 拡散層38からエピタキシャル層36に電流が流れエピタキシャル層36に電位が供給できる。

【0019】このとき、チップ形成領域の外周部に p^+ 拡散層39(図6参照)が形成されているので、ウェハ外周部に逆バイアスされるPN接合部(図9でBで示す)、即ち、空気に接触するPN接合部は存在なくなり、電気化学エッチング時にリークが無くなりウェハ全面に均一な電圧が供給され、均一な厚さの薄膜部が形成できる。

【0020】このような電気化学エッチングにより、単結晶シリコンウェハ35の所定領域が除去されて溝42が形成されるとともにエピタキシャル層36の所定領域が残り、薄肉の可動部5、6、7、8(図2参照)が形成される。

【0021】そして、図10に示すように、エピタキシャル層36の所定領域を除去して溝42と連通させる。その結果、貫通孔4a、4b、4c、4d、10(図2参照)が形成される。その後、パイレックスガラスよりなる台座1の上にシリコンウェハ35を陽極接合する。最後に、図11に示すように、スクライブライン上をダイシングカットし、シリコンウェハ35及び台座1を図3に示すような所定の大きさに裁断してチップ化する。

【0022】このように本実施例では、 p 型の単結晶シリコンウェハ35(第1導電型の単結晶半導体基板)上に、 n 型のエピタキシャル層36を形成し(第1工程)、チップ内でのエピタキシャル層36の所定領域にピエゾ抵抗層となる p^+ 拡散層37(第1導電型の高濃度拡散層)を形成するとともに、エピタキシャル層36におけるスクライブライン上に p^+ 拡散層38(第1導電型の高濃度拡散層)を形成し(第2工程)、スクライブライン上の p^+ 拡散層38を電極として、電気化学エッチングにより単結晶シリコンウェハ35の所定領域を除去し、エピタキシャル層36の所定領域を残し(第3工程)、スクライブライン上を裁断してチップ化した(第4工程)。

【0023】第2工程において、チップ内での p^+ 拡散層37とスクライブライン上の p^+ 拡散層38とが同時に形成できる。つまり、電気化学エッチングの際に電極となる p^+ 拡散層38は、 p^+ 拡散層37と同時に形成

されているので、拡散回数が増加することなく電気化学エッチングの電極を形成することができる。又、 p^+ 拡散層38がスクライブ切断部となる領域に配置されているので、 p^+ 拡散層38の配置のためにチップ内面積が大型化することがない。

【0024】又、前記第2工程において、エピタキシャル層36におけるチップ形成領域の外周部に単結晶シリコンウェハ35に至る p^+ 拡散層39を形成することにより、電気化学エッチング時のリークが防止される。つまり、チップ形成領域の外周部に p^+ 拡散層39が形成されているので、ウェハ外周部に逆バイアスされるPN接合部(図9でBで示す)、即ち、空気に接触するPN接合部は存在なくなり、電気化学エッチング時にリークが無くなりウェハ全面に均一な電圧が供給され、均一な厚さの薄膜部が形成できる。尚、 p^+ 拡散層39の形成によるPN接合部はエピタキシャル層36の表面に露出しているが、 p^+ 拡散層39の拡散処理(酸素雰囲気下での熱処理)によりエピタキシャル層36の表面にはシリコン酸化膜が形成され空気に接触するPN接合部は存在しないこととなる。

【0025】このようにして、電気化学エッチング時のPN接合部でのリークに起因する厚さバラツキをより少ない工程数で抑制できる。尚、リーク防止用の p^+ 拡散層39は次のように形成してもよい。まず、図12に示すように、予め単結晶シリコンウェハ35の表面部に p^+ 拡散領域43を形成しておき、その後にエピタキシャル成長させ、図13に示すように、エピタキシャル層36に p^+ 拡散層44を酸素雰囲気下での熱処理により形成する。この熱処理にて、単結晶シリコンウェハ35の p^+ 拡散領域43がエピタキシャル層36中に延び p^+ 拡散層44と重なり合う。

(第2実施例)次に、第2実施例を第1実施例との相違点を中心に説明する。

【0026】図14～図18にはセンサの製造工程を示す。まず、図14に示すように、 p 型の単結晶シリコンウェハ45上に、 n 型のエピタキシャル層46を形成する。

【0027】そして、図15に示すように、エピタキシャル層46におけるピエゾ抵抗層形成領域に p^+ 拡散層47を形成する。その後、図4に示す p^+ 拡散層47への配線用アルミを形成するとともに、スクライブライン上にアルミ電極48を形成する。つまり、エピタキシャル層46上にアルミ電極48を直接接合してショットキー接合とする。このとき、エピタキシャル層46のキャリア濃度が低いためにオーミック接合とはならずショットキー接合となり、ショットキーダイオードの順方向電流を流すことが可能となる。

【0028】さらに、図16に示すように、単結晶シリコンウェハ45の裏面にプラズマ窒化膜(P-SiN)49を形成するとともにフォトリソエッチングにより所定の

7

パターンニングを行う。そして、スクライブライン上のアルミ電極48を電極として、電気化学エッチングを行う。つまり、アルミ電極48に正の電圧を印加して同アルミ電極48によるショットキー接合の順方向電圧を印加しつつ電気化学エッチングを行い単結晶シリコンウェハ45の所定領域を除去して溝50を形成するとともに、エピタキシャル層46の所定領域を残す。

【0029】その後、図17に示すように、エピタキシャル層46の所定領域を除去して溝50に連通させる。そして、パイレックスガラスよりなる台座1の上にシリコンウェハ45を陽極接合する。最後に、図18に示すように、スクライブライン上を裁断してシリコンウェハ45及び台座1をチップ化する。

【0030】このように本実施例では、p型の単結晶シリコンウェハ45（第1導電型の単結晶半導体基板）上にn型のエピタキシャル層46を形成し（第1工程）、チップ内でのエピタキシャル層46の所定領域にピエゾ抵抗層となるp⁺拡散層47（高濃度拡散層）を形成し（第2工程）、チップ内でのp⁺拡散層47に対するアルミ配線を配置するとともに、エピタキシャル層46におけるスクライブライン上にアルミ電極48（エッチング用金属電極）を直接接合してショットキー接合とし（第3工程）、アルミ電極48によるショットキー接合の順方向電圧を印加しつつ電気化学エッチングにより単結晶シリコンウェハ45の所定領域を除去し、エピタキシャル層46の所定領域を残し（第4工程）、スクライブライン上を裁断してチップ化した（第5工程）。

【0031】この第3工程において、アルミ配線の配置とアルミ電極48の配置とを同時に行うことができる。その結果、電極形成のための拡散を行うことなく歪みゲージの形成のためのp⁺拡散層47への配線用アルミ形成時に直接アルミ電極48を形成できる。

【0032】尚、この発明は上記各実施例に限定されるものではなく、例えば、上記各実施例に対し、導電型を逆にしてもよい。

【0033】

【発明の効果】以上詳述したようにこの発明によれば、

8

特別な電気化学エッチング用電極となる高濃度拡散層を用いることなく良好な電気化学エッチングを行うことができる優れた効果を発揮する。

【図面の簡単な説明】

【図1】実施例の半導体加速度センサの斜視図である。

【図2】半導体加速度センサの平面図である。

【図3】図2のA-A断面図である。

【図4】配線パターンを示すシリコンチップの平面図である。

【図5】抵抗層の接続を示す図である。

【図6】シリコンウェハの平面図である。

【図7】第1実施例のセンサの製造工程を示す図である。

【図8】センサの製造工程を示す図である。

【図9】センサの製造工程を示す図である。

【図10】センサの製造工程を示す図である。

【図11】センサの製造工程を示す図である。

【図12】第1実施例の応用例を示す断面図である。

【図13】第1実施例の応用例を示す断面図である。

【図14】第2実施例のセンサの製造工程を示す図である。

【図15】センサの製造工程を示す図である。

【図16】センサの製造工程を示す図である。

【図17】センサの製造工程を示す図である。

【図18】センサの製造工程を示す図である。

【符号の説明】

35 第1導電型の単結晶半導体基板としてのp型の単結晶シリコンウェハ

36 エピタキシャル層

37 第1導電型の高濃度拡散層としてのp⁺拡散層

38 第1導電型の高濃度拡散層としてのp⁺拡散層

39 p⁺拡散層

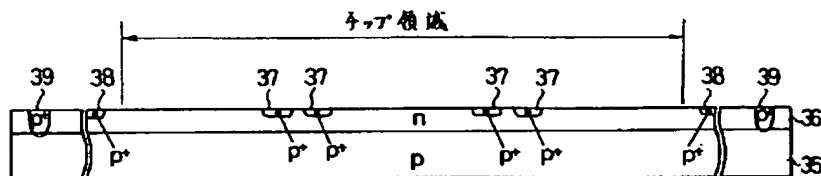
45 第1導電型の単結晶半導体基板としてのp型の単結晶シリコンウェハ

46 エピタキシャル層

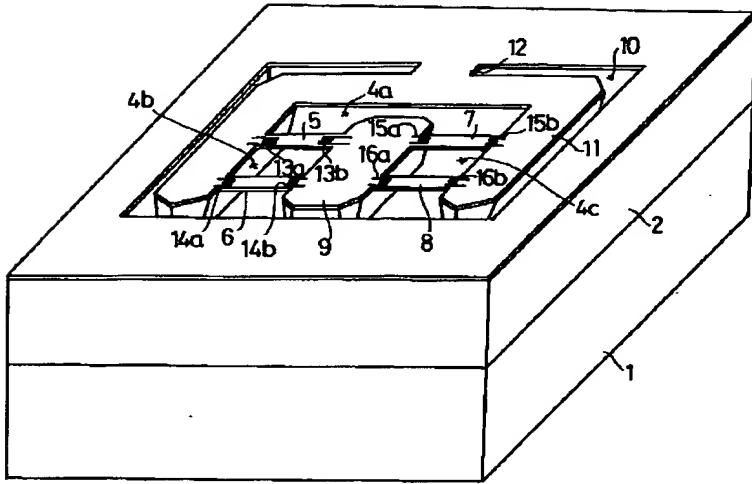
47 高濃度拡散層としてのp⁺拡散層

48 エッチング用金属電極としてのアルミ電極

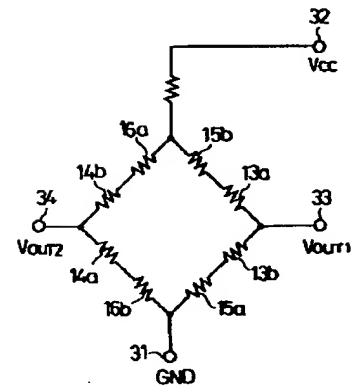
【図8】



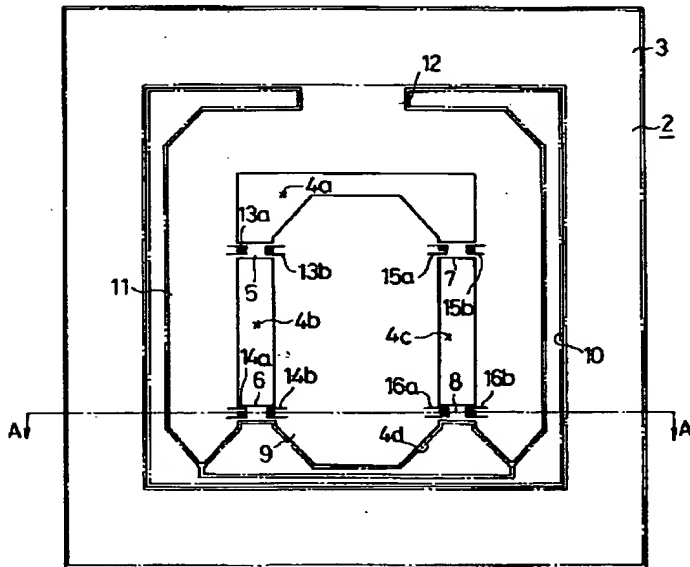
【図1】



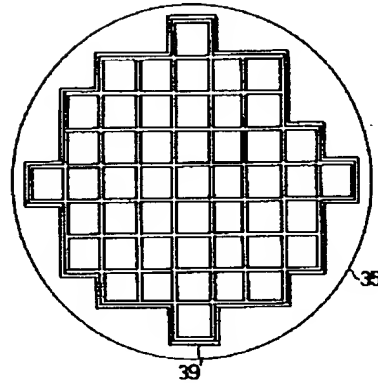
【図5】



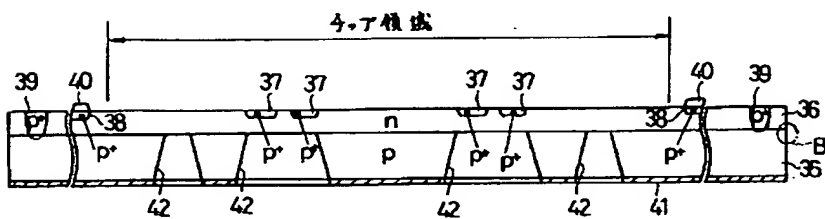
【図2】



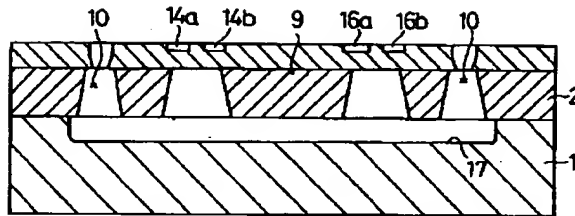
【図6】



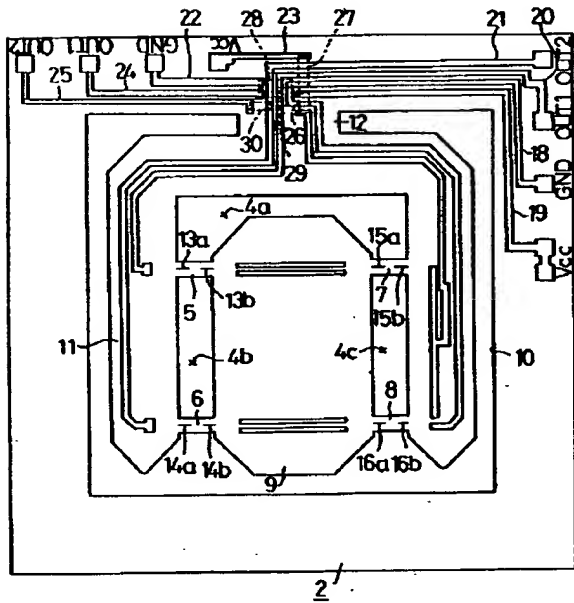
【図9】



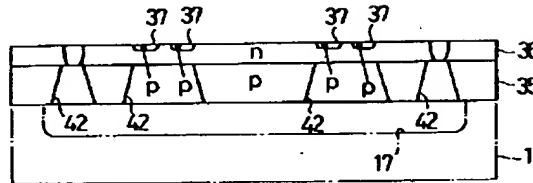
【図3】



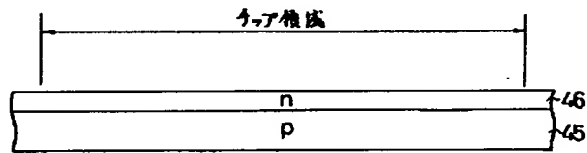
【図4】



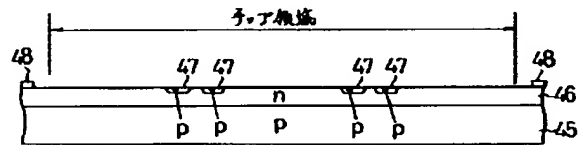
【図11】



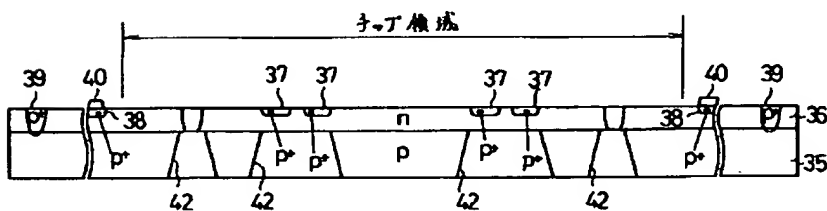
【図14】



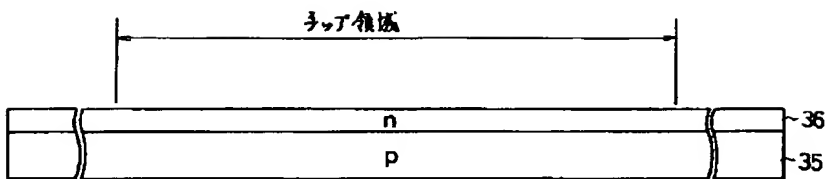
【図15】



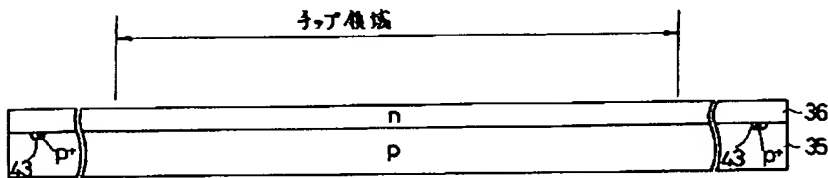
【図10】



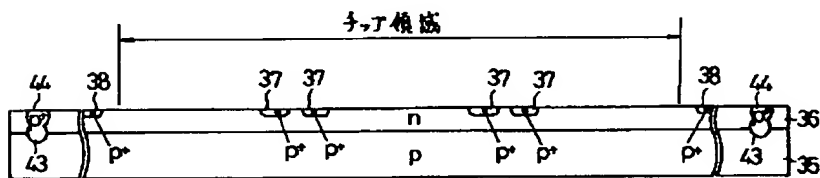
【図7】



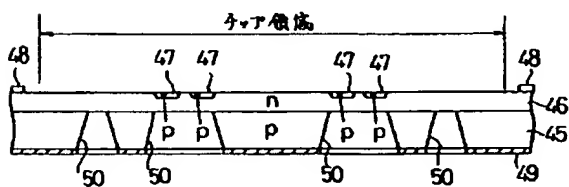
【図12】



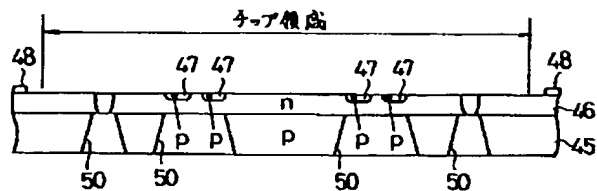
【図13】



【図16】



【図17】



【図18】

